

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : **05-251653**

(43) Date of publication of application : **28.09.1993**

(51) Int.CI.

**H01L 27/10**

**H01L 27/06**

(21) Application number : **04-046887**

(71) Applicant : **HITACHI LTD**

**HITACHI VLSI ENG CORP**  
**HITACHI HARAMACHI**  
**SEMICONDUCTOR LTD**

(22) Date of filing : **04.03.1992**

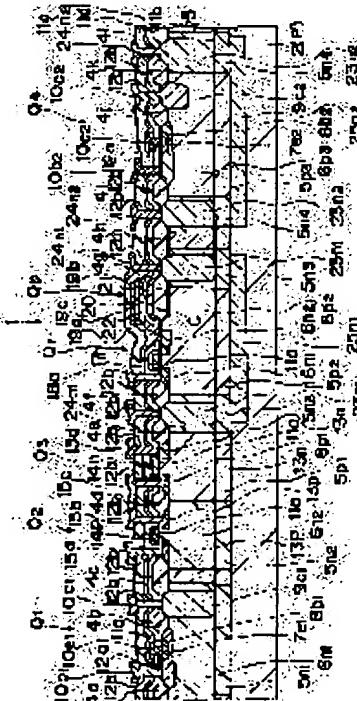
(72) Inventor : **IZAWA RYUICHI**  
**SATO KAZUE**  
**YOSHIZUMI KEIICHI**  
**TAKAHASHI MASATO**  
**HASHIBA SOICHIRO**  
**SUZUKI NORIO**  
**IKEDA SHUJI**  
**HOSHINO YUTAKA**  
**KANDA TAKAYUKI**  
**YOSHIDA YASUKO**  
**ARIGA SEIICHI**  
**MATSUKI HIROSHI**  
**MORI CHIEMI**  
**FUJITA ERI**

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

### (57) Abstract:

PURPOSE: To reduce the number of manufacturing steps of a title device of SRAM type having vertical npn bipolar transistors, vertical pnp bipolar transistors, CMOS circuits, and n-type semiconductor regions constituting a specified semiconductor integrated circuit element on the same semiconductor substrate.

CONSTITUTION: This is a method for manufacturing an SRAM having vertical pnp bipolar transistors Q1, p-channel MOS transistors Q2, n-channel MOS transistors Q3, and SRAM memory cells 1, and vertical pnp bipolar transistors Q4 on the same semiconductor substrate. When an element isolation n-type semiconductor layer 25n1 in the lower layer of an SRAM memory cell 1 is formed, an element isolation n-type semiconductor layer 25nn in the lower layer of a vertical pnp bipolar transistor Q4.



---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-251653

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.<sup>5</sup> 識別記号 序内整理番号 F I 技術表示箇所  
 H 0 1 L 27/10 3 7 1 8728-4M  
 27/06  
 7342-4M H 0 1 L 27/ 06 3 2 1 C  
 7342-4M 3 2 1 E

審査請求 未請求 請求項の数 4(全 15 頁)

(21)出願番号 特願平4-46887  
(22)出願日 平成4年(1992)3月4日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目 6 番地

(71)出願人 000233468  
日立超エル・エス・アイ・エンジニアリング株式会社  
東京都小平市上水本町 5 丁目20番 1 号

(71)出願人 000233273  
日立原町電子工業株式会社  
茨城県日立市弁天町 3 丁目10番 2 号

(74)代理人 弁理士 篠井 大和

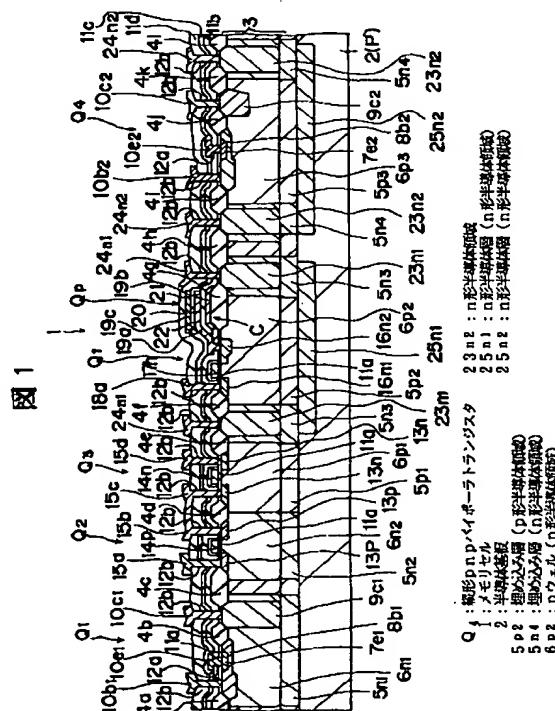
最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 縱形n p nバイポーラトランジスタと、縱形p n pバイポーラトランジスタと、CMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを同一半導体基板上に有するSRAM形半導体集積回路装置の製造工程数を低減する。

【構成】 縱形 p n p バイポーラトランジスタ  $Q_1$  、 p チャネルMOSトランジスタ  $Q_2$  、 n チャネルMOSトランジスタ  $Q_3$  、 S RAMのメモリセル1および縱形 p n p バイポーラトランジスタ  $Q_4$  を同一半導体基板上に有するS RAMの製造方法であつて、 S RAMのメモリセル1の下層における素子分離用の n 形半導体層2 5 n<sub>1</sub> を形成する際に、縱形 p n p バイポーラトランジスタ  $Q_4$  の下層における素子分離用の n 形半導体層2 5 n<sub>2</sub> を同時に形成する。



## 【特許請求の範囲】

【請求項1】 縱形n p nバイポーラトランジスタと、縦形p n pバイポーラトランジスタと、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタからなるCMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを半導体基板上に有し、前記所定の半導体集積回路素子を構成するn形半導体領域の下層にp形半導体領域を設けるとともに、そのp形半導体領域の下層に素子分離用のn形半導体領域を設けた半導体集積回路装置において、前記縦形p n pバイポーラトランジスタの下層に、前記素子分離用のn形半導体領域を設けたことを特徴とする半導体集積回路装置。

【請求項2】 前記縦形p n pバイポーラトランジスタの周囲に、素子分離用のn形半導体領域を設けたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記所定の半導体集積回路素子がSRAMのメモリセルであることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置を製造する際に、前記所定の半導体集積回路素子の下層における素子分離用のn形半導体領域と、前記縦形p n pバイポーラトランジスタの下層における素子分離用のn形半導体領域とを同時に形成することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、SRAM(Static Random Access Memory)のメモリセルおよびバイポーラトランジスタを同一半導体基板上に有する半導体集積回路装置およびその製造方法に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 従来、縦形p n pバイポーラトランジスタと、縦形n p nバイポーラトランジスタとを同一半導体基板上に有し、その基板上にMOSトランジスタを有しない半導体集積回路装置においては、通常、p形の半導体基板を用いている。

【0003】 この場合、半導体基板において、縦形p n pバイポーラトランジスタの形成領域に、素子分離としてnウエルを形成するようにしていた。

【0004】 一方、縦形n p nバイポーラトランジスタおよびCMOS(Complimentary MOS)回路からなるBiCMOS(Bipolar CMOS)回路と、SRAMのメモリセルとを同一半導体基板上に有する半導体集積回路装置においても、p形の半導体基板を用いている。

【0005】 この場合、半導体基板において、メモリセル形成領域に、pウエルを形成するとともに、そのpウエルの側面側および下面側にn形半導体領域を設け、入力側から侵入する小数キャリアによるノイズを抑制する

ようになっていた。

【0006】 なお、BiCMOS回路およびSRAMのメモリセルを同一半導体基板上に有する半導体集積回路装置については、例えば特開昭63-305545号公報に記載があり、SRAMのメモリセルの下層のpウエルを、n形半導体領域で取り囲む構造の半導体集積回路装置について説明されている。

## 【0007】

【発明が解決しようとする課題】 ところで、近年、半導体集積回路装置においては、信頼性の確保や低消費電力化等の観点から電源電圧を、例えば5Vから3.3V程度に下げる傾向にあるが、そのようにすると半導体集積回路装置の動作速度が遅くなる問題が生じる。

【0008】 そこで、動作速度を確保する観点から、前記BiCMOS回路およびSRAMのメモリセルを有する半導体基板上に、縦形p n pバイポーラトランジスタを設ける技術がある。

【0009】 ところで、その技術の場合、ラッチアップやサージ電流等の対策のため、縦形p n pバイポーラトランジスタの周囲に新たにn形半導体領域を設ける必要があるが、そのようにすると半導体集積回路装置の製造工程が大幅に増加する問題があることを本発明者は見い出した。

【0010】 本発明は上記課題に着目してなされたものであり、その目的は、縦形n p nバイポーラトランジスタと、縦形p n pバイポーラトランジスタと、CMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを同一半導体基板上に有する半導体集積回路装置の製造工程数を低減することのできる技術を提供することにある。

【0011】 本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

## 【0012】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】 すなわち、請求項1記載の発明は、縦形n p nバイポーラトランジスタと、縦形p n pバイポーラトランジスタと、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタからなるCMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを半導体基板上に有し、前記所定の半導体集積回路素子を構成するn形半導体領域の下層にp形半導体領域を設けるとともに、そのp形半導体領域の下層に素子分離用のn形半導体領域を設けた半導体集積回路装置において、前記縦形p n pバイポーラトランジスタの下層に、前記素子分離用のn形半導体領域を設けた半導体集積回路装置構造とするものである。

【0014】 請求項4記載の発明は、前記半導体集積回

路装置を製造する際に、前記所定の半導体集積回路素子を構成するn形半導体領域の下層における素子分離用のn形半導体領域と、前記縦形pnppバイポーラトランジスタの下層における素子分離用のn形半導体領域とを同時に形成する半導体集積回路装置の製造方法とするものである。

## 【0015】

【作用】上記した請求項1記載の発明によれば、縦形pnppバイポーラトランジスタを形成したことに起因する寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制することができる上、何らかの原因で縦形pnppバイポーラトランジスタ側に流れたサージ電流に対する耐性を向上させることが可能となる。

【0016】上記した請求項4記載の発明によれば、所定の半導体集積回路素子を構成するn形半導体領域の下層における素子分離用のn形半導体領域を形成する際に、縦形pnppバイポーラトランジスタの下層における素子分離用のn形半導体層を同時に形成することにより、当該半導体集積回路装置の製造工程数を低減することが可能となる。

## 【0017】

【実施例】図1は本発明の一実施例である半導体集積回路装置の要部断面図、図2は図1の半導体集積回路装置の要部回路図、図3～図8は図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【0018】本実施例の半導体集積回路装置は、例えばSRAMである。本実施例のSRAMのメモリセルを図2に示す。

【0019】本実施例のSRAMのメモリセル1は、2つのデータ線DL, DLと、それに対して交差する2本のワード線WL, WLとの交差部に配置されている。

【0020】このメモリセル1は、情報を保持するフリップフロップ回路FFと、フリップフロップ回路FFの入出力端子に接続された、例えば2個の転送用のnチャネルMOSトランジスタQt, Qtとで構成されている。

【0021】フリップフロップ回路FFは、例えば2個の駆動用のnチャネルMOSトランジスタQd, Qdと、例えば2個の負荷用のpチャネルMOSトランジスタQp, Qpと、情報保持用のキャパシタCとから構成されている。

【0022】負荷用のpチャネルMOSトランジスタQpのソースには、動作電源Vccが接続されている。また、駆動用のnチャネルMOSトランジスタQdのソースには、基準電源Vssが接続されている。

【0023】動作電源Vccおよび基準電源Vssは、本実施例のSRAMを動作させるのに必要な電圧を供給する電源であり、それぞれ例えば5V, 0Vに設定されている。

【0024】なお、メモリセル1には、例えば1ビットの情報が記憶される。

【0025】次に、本実施例のSRAMの要部断面図を図1に示す。半導体基板2は、例えばp-形シリコン(Si)単結晶からなり、その主面上には、エピタキシャル層3が形成されている。

【0026】エピタキシャル層3は、例えばn-形Si単結晶からなり、その主面上には、例えば二酸化ケイ素(SiO<sub>2</sub>)等からなるフィールド絶縁膜4a～4lが形成されている。

【0027】半導体基板2と、エピタキシャル層3との境界およびその近傍の領域には、埋め込み層5n<sub>1</sub>～5n<sub>4</sub>および埋め込み層5p<sub>1</sub>～5p<sub>3</sub>が形成されている。埋め込み層5n<sub>1</sub>～5n<sub>4</sub>には、例えばn形不純物であるリンが導入されている。

【0028】また、埋め込み層5p<sub>1</sub>～5p<sub>3</sub>には、例えばp形不純物であるホウ素が導入されている。

【0029】エピタキシャル層3において、n形の埋め込み層5n<sub>1</sub>上には、例えばnウェル6n<sub>1</sub>が形成されている。nウェル6n<sub>1</sub>には、例えばn形不純物であるリンが導入されている。

【0030】nウェル6n<sub>1</sub>において、フィールド絶縁膜4a, 4cに囲まれた領域には、縦形nppバイポーラトランジスタQ<sub>1</sub>が形成されている。縦形nppバイポーラトランジスタQ<sub>1</sub>は、エミッタ領域7e<sub>1</sub>と、ベース領域8b<sub>1</sub>と、nウェル6n<sub>1</sub>と、埋め込み層5n<sub>1</sub>と、コレクタ引出し領域9c<sub>1</sub>とから構成されている。

【0031】エミッタ領域7e<sub>1</sub>には、例えばn形不純物であるリンが導入されており、エミッタ電極10e<sub>1</sub>が、絶縁膜11a, 11bに穿孔された接続孔12aを通じて電気的に接続されている。エミッタ電極10e<sub>1</sub>は、例えばn形不純物であるリンが導入されたポリシリコンからなる。

【0032】ベース領域8b<sub>1</sub>には、例えばp形不純物であるホウ素が導入されており、ベース電極10b<sub>1</sub>が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。

【0033】コレクタ引出し領域9c<sub>1</sub>には、例えばn形不純物であるリンが導入されており、コレクタ電極10c<sub>1</sub>が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。

【0034】エミッタ電極10e<sub>1</sub>、ベース電極10b<sub>1</sub>およびコレクタ電極10c<sub>1</sub>は、例えばアルミニウム(A1)-Si-銅(Cu)合金からなる。

【0035】また、エピタキシャル層3において、埋め込み層5n<sub>2</sub>上には、nウェル6n<sub>2</sub>が形成されている。nウェル6n<sub>2</sub>には、例えばn形不純物であるリンが導入されている。

【0036】nウェル6n<sub>2</sub>において、フィールド絶縁膜4c, 4dに囲まれた領域には、pチャネルMOSトランジスタQ<sub>2</sub>が形成されている。pチャネルMOSト

ランジスタ $Q_2$ は、拡散層13p, 13pと、絶縁膜11aと、ゲート電極14pとから構成されている。

【0037】拡散層13p, 13pには、例えばp形不純物であるホウ素が導入されており、電極15a, 15bが、絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。ゲート電極14pは、所定の導電形の不純物が導入されたポリシリコンからなる。

【0038】また、エピタキシャル層3において、埋め込み層5p<sub>1</sub>上には、pウエル6p<sub>1</sub>が形成されている。pウエル6p<sub>1</sub>には、例えばp形不純物であるホウ素が導入されている。

【0039】pウエル6p<sub>1</sub>において、フィールド絶縁膜4d, 4eに囲まれた領域には、例えばnチャネルMOSトランジスタ $Q_3$ が形成されている。nチャネルMOSトランジスタ $Q_3$ は、拡散層13n, 13nと、絶縁膜11aと、ゲート電極14nとから構成されている。

【0040】拡散層13n, 13nには、例えばn形不純物であるリンが導入されており、電極15c, 15dが、絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。ゲート電極14nは、所定の導電形の不純物が導入されたポリシリコンからなる。

【0041】これらpチャネルMOSトランジスタ $Q_2$ と、nチャネルMOSトランジスタ $Q_3$ とからCMOS回路が構成されている。

【0042】また、エピタキシャル層3において、埋め込み層(p形半導体領域)5p<sub>2</sub>上には、pウエル(p形半導体領域)6p<sub>2</sub>が形成されている。pウエル6p<sub>2</sub>には、例えばp形不純物であるホウ素が導入されている。

【0043】pウエル6p<sub>2</sub>において、フィールド絶縁膜4f, 4gに囲まれた領域には、例えばSRAMのメモリセル1が形成されている。図1には、図2に示したメモリセル1の転送用のnチャネルMOSトランジスタ $Q_t$ と、キャパシタCと、負荷用のpチャネルMOSトランジスタ $Q_p$ とが示されている。

【0044】転送用のnチャネルMOSトランジスタ $Q_t$ は、拡散層(n形半導体領域)16n<sub>1</sub>, 16n<sub>2</sub>と、絶縁膜11aと、ゲート電極17nとから構成されている。

【0045】拡散層16n<sub>1</sub>, 16n<sub>2</sub>には、例えばn形不純物であるリン等が導入されている。一方の拡散層16n<sub>1</sub>には、電極18aが絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。他方の拡散層16n<sub>2</sub>には、キャパシタCを構成する導体膜19aが電気的に接続されている。

【0046】キャパシタCは、導体膜19a, 19bと、その間の絶縁膜11bによって構成されている。導

体膜19a, 19bは、所定の導電形の不純物が導入されたポリシリコンからなる。

【0047】負荷用のpチャネルMOSトランジスタ $Q_p$ は、導体膜19aのゲート電極部20と、絶縁膜11cと、導体膜19cのソース部21およびドレイン部22によって構成されている。導体膜19cもポリシリコンからなる。

【0048】本実施例においては、p形の埋め込み層5p<sub>2</sub>を囲むように、n形の埋め込み層5n<sub>3</sub>が配置され、その埋め込み層5n<sub>3</sub>上、すなわち、pウエル6p<sub>2</sub>の周囲に、素子分離用のn形半導体領域23n<sub>1</sub>が形成されている。

【0049】n形半導体領域23n<sub>1</sub>には、例えばn形不純物であるリンが導入されており、電極24n<sub>1</sub>が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。

【0050】また、本実施例においては、pウエル6p<sub>2</sub>の下層に、素子分離用のn形半導体層(n形半導体領域)25n<sub>1</sub>が形成されている。すなわち、本実施例においては、メモリセル1がn形半導体領域23n<sub>1</sub>、埋め込み層5n<sub>3</sub>およびn形半導体層25n<sub>1</sub>によって取り囲まれている。このため、本実施例のSRAMのメモリセル1では、小数キャリアによるノイズ等が発生し難い構造となっている。

【0051】また、エピタキシャル層3において、埋め込み層5p<sub>3</sub>上には、pウエル6p<sub>3</sub>が形成されている。pウエル6p<sub>3</sub>には、例えばp形不純物であるホウ素が導入されている。

【0052】pウエル6p<sub>3</sub>において、フィールド絶縁膜4i, 4kに囲まれた領域には、縦形pnpバイポーラトランジスタ $Q_4$ が形成されている。縦形pnpバイポーラトランジスタ $Q_4$ は、エミッタ領域7e<sub>2</sub>と、ベース領域8b<sub>2</sub>と、pウエル6p<sub>3</sub>と、埋め込み層5p<sub>3</sub>と、コレクタ引出し領域9c<sub>2</sub>とから構成されている。

【0053】エミッタ領域7e<sub>2</sub>には、例えばp形不純物であるホウ素が導入されており、エミッタ電極10e<sub>2</sub>が、絶縁膜11a, 11bに穿孔された接続孔12aを通じて電気的に接続されている。エミッタ電極10e<sub>2</sub>は、例えばp形不純物であるホウ素が導入されたポリシリコンからなる。

【0054】ベース領域8b<sub>2</sub>には、例えばn形不純物であるリンが導入されており、ベース電極10b<sub>2</sub>が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。

【0055】コレクタ引出し領域9c<sub>2</sub>には、例えばp形不純物であるホウ素等が導入されており、コレクタ電極10c<sub>2</sub>が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電気的に接続されている。

【0056】エミッタ電極10e<sub>2</sub>、ベース電極10b

${}_2$  およびコレクタ電極  $10 c_2$  は、例えば  $A1-Si-Cu$  合金からなる。

【0057】ところで、本実施例においては、 $p$  形の埋め込み層  $5 p_3$  を囲むように、 $n$  形の埋め込み層 ( $n$  形半導体領域)  $5 n_4$  が配置され、その埋め込み層  $5 n_4$  上、すなわち、 $p$  ウエル  $6 p_3$  の周囲に、素子分離用の $n$  形半導体領域  $23 n_2$  が形成されている。

【0058】 $n$  形半導体領域  $23 n_2$  には、例えば $n$  形不純物であるリンが導入されており、電極  $24 n_2$  が、絶縁膜  $11 a \sim 11 d$  に穿孔された接続孔  $12 b$  を通じて電気的に接続されている。

【0059】また、本実施例においては、 $p$  ウエル  $6 p_3$  の下層に、素子分離用の $n$  形半導体層 ( $n$  形半導体領域)  $25 n_2$  が形成されている。すなわち、本実施例においては、縦形  $p n p$  バイポーラトランジスタ  $Q_4$  も $n$  形半導体領域  $23 n_2$  、埋め込み層  $5 n_4$  および $n$  形半導体層  $25 n_2$  によって取り囲まれている。

【0060】このため、本実施例のSRAMは、縦形  $p n p$  バイポーラトランジスタ  $Q_4$  を形成したことに起因する寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制できる上、何らかの原因で縦形  $p n p$  バイポーラトランジスタ  $Q_4$  に流れるサージ電流に対する耐性を向上させることができるとなっている。

【0061】次に、本実施例のSRAMの製造方法を図3～図8によって説明する。

【0062】まず、図3に示すように、半導体基板2の主面上に、例えば  $SiO_2$  からなる絶縁膜パターン  $26$  をフォトリソグラフィ技術によって形成した後、その絶縁膜パターン  $26$  をマスクとして、半導体基板2のメモリセル形成領域Mおよび縦形  $p n p$  バイポーラトランジスタ形成領域  $B_1$  に、例えば $n$  形不純物であるリン等をイオン打ち込みし、さらに熱処理を施して $n$  形半導体層  $25 n_1, 25 n_2$  を形成する。

【0063】すなわち、本実施例においては、メモリセル1(図1参照)の下層の $n$  形半導体層  $25 n_1$  と、縦形  $p n p$  バイポーラトランジスタ  $Q_4$  (図1参照)の下層の $n$  形半導体層  $25 n_2$  とを同時に形成する。

【0064】続いて、絶縁膜パターン  $26$  を除去した後、図4に示すように、半導体基板2の主面上に、例えば $n$  形不純物であるリンおよび $p$  形不純物であるホウ素をそれぞれ所定位置にイオン打ち込みして、埋め込み層  $5 n_1 \sim 5 n_4$  および埋め込み層  $5 p_1 \sim 5 p_3$  を形成する。

【0065】その後、半導体基板2の主面上に、エピタキシャル成長法によってエピタキシャル層3を成長させた後、エピタキシャル層3に、例えば $n$  形不純物であるリンおよび $p$  形不純物であるホウ素等をそれぞれ所定位にイオン打ち込みして、 $n$  ウエル  $6 n_1, 6 n_2$  および $p$  ウエル  $6 p_1 \sim 6 p_3$  を形成する。

【0066】次いで、エピタキシャル層3の主面上に、

選択酸化法等によってフィールド絶縁膜  $4 a \sim 4 l$  を形成した後、コレクタ引出し領域  $9 c_1$  および素子分離用の $n$  形半導体領域  $23 n_1, 23 n_2$  を、例えばイオン打ち込みおよびその後の熱処理によって形成する。

【0067】すなわち、本実施例においては、メモリセル1(図1参照)の周囲の素子分離用の $n$  形半導体領域  $23 n_1$  と、縦形  $p n p$  バイポーラトランジスタ  $Q_4$  (図1参照)の周囲の素子分離用の $n$  形半導体層  $23 n_2$  とを同時に形成する。

10 【0068】続いて、エピタキシャル層3上に、所定の導電形の不純物の導入されたポリシリコン膜を堆積し、これをフォトリソグラフィ技術によってパターニングして導体膜  $19 b$  を形成した後、導体膜  $19 b$  を被覆する絶縁膜  $27$  をCVD法等によって形成する。

【0069】その後、 $n$  チャネルMOSトランジスタ  $Q_t$  (図1参照)の拡散層  $16 n_2$  の一部をイオン打ち込み法等によって形成した後、ゲート絶縁膜となる絶縁膜  $11 a$  を熱酸化法等によって形成する。

【0070】次いで、図5に示すように、半導体基板2上に、所定の導電形の不純物の導入されたポリシリコン膜を堆積し、これをフォトリソグラフィ技術によってパターニングして、ゲート電極  $14 p, 14 n, 17 n$  を形成する。

【0071】続いて、ゲート電極  $14 p$  をマスクとして、エピタキシャル層3に、例えば $p$  形不純物であるホウ素をイオン打ち込みし、拡散層  $13 p, 13 n$  を形成する。

【0072】この時、例えば同時に、図1に示した縦形  $n p n$  バイポーラトランジスタ  $Q_1$  のベース領域  $8 b_1$  30 の一部を形成する。

【0073】また、ゲート電極  $14 n, 17 n$  をマスクとして、エピタキシャル層3に、例えば $n$  形不純物であるリンをイオン打ち込みし、拡散層  $13 n, 13 n, 16 n_1, 16 n_2$  を形成する。この時、例えば同時に、図1に示した縦形  $p n p$  バイポーラトランジスタ  $Q_4$  のベース領域  $8 b_2$  の一部を形成する。

【0074】その後、図6に示すように、導体膜  $19 b$  の側壁のみに絶縁膜  $27$  が残るよう、導体膜  $19 b$  の上面の絶縁膜  $27$  を除去した後、縦形  $n p n$  バイポーラトランジスタ  $Q_1$  (図1参照)のベース領域  $8 b_1$  および縦形  $p n p$  バイポーラトランジスタ  $Q_4$  のベース領域  $8 b_2$  をイオン打ち込み法等によってそれぞれ形成する。

【0075】次いで、図7に示すように、半導体基板2上に、絶縁膜  $11 b$  をCVD法等によって堆積した後、縦形  $n p n$  バイポーラトランジスタ形成領域  $B_2$  、メモリセル形成領域Mおよび縦形  $p n p$  バイポーラトランジスタ形成領域  $B_1$  に接続孔  $12 a$  を形成する。

【0076】続いて、半導体基板2上に、ポリシリコン膜(図示せず)をCVD法等によって堆積した後、そのポリシリコン膜において、縦形  $n p n$  バイポーラトラン

50

ジスタ形成領域B<sub>2</sub>におけるエミッタ形成領域に、例えばn形不純物であるリンをイオン打ち込みし、メモリセル形成領域Mに、所定の導電形の不純物をイオン打ち込みし、また、縦形p n pバイポーラトランジスタ形成領域B<sub>1</sub>のエミッタ形成領域に、例えばp形不純物であるホウ素をイオン打ち込みする。

【0077】その後、そのポリシリコン膜をフォトリソグラフィ技術によってパターニングして、エミッタ電極 $10e_1$ ,  $10e_2$  および導体膜 $19a$ を形成した後、半導体基板 $2$ に対して熱処理を施し、エミッタ電極 $10e_1$ ,  $10e_2$ からエピタキシャル層 $3$ に不純物を拡散させ、エミッタ領域 $7e_1$ ,  $7e_2$ を形成する。

【0078】次いで、図8に示すように、半導体基板2上に、絶縁膜11cをCVD法等によって堆積した後、絶縁膜11c上にノンドープのポリシリコン膜(図示せず)をCVD法等によって堆積する。

【0079】 続いて、そのポリシリコン膜をフォトリソグラフィ技術によってパターニングして、導体膜19cを形成した後、その導体膜19cのソース部21およびドレイン部22に、例えばp形不純物であるリンをイオン打ち込みして負荷用のpチャネルMOSトランジスタQ<sub>p</sub>を形成する。

【0080】その後、図1に示したように、半導体基板2上に、絶縁膜11dをCVD法等によって堆積し、接続孔12bを穿孔した後、例えばAl-Si-Cu合金からなる導体膜を堆積し、その導体膜をフォトリソグラフィ技術によってパターニングして、エミッタ電極10e<sub>1</sub>、10e<sub>2</sub>、ベース電極10b<sub>1</sub>、10b<sub>2</sub>、コレクタ電極10c<sub>1</sub>、10c<sub>2</sub>および電極15a～15d、18a、24n<sub>1</sub>、24n<sub>2</sub>を形成し、SRAMを製造する。

【0081】このように本実施例によれば、以下の効果を得ることが可能となる。

【0082】(1). S R A Mを構成する縦形p n pバイポーラトランジスタQ<sub>4</sub>を、n形半導体領域23n<sub>2</sub>、埋め込み層5n<sub>4</sub>およびn形半導体層25n<sub>2</sub>によって取り囲んだことにより、縦形p n pバイポーラトランジスタQ<sub>4</sub>を半導体基板2に形成したことに起因する寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制することができる上、何らかの原因により縦形p n pバイポーラトランジスタQ<sub>4</sub>に流れたサージ電流に対する耐性を向上させることができるので、当該S R A Mの信頼性を向上させることができることが可能となる。

【0083】(2). メモリセル1を取り囲むn形半導体領域23n<sub>1</sub>およびn形半導体層25n<sub>1</sub>を形成する際に、縦形p-n-pバイポーラトランジスタQ<sub>4</sub>を取り囲むn形半導体領域23n<sub>2</sub>およびn形半導体層25n<sub>2</sub>を同時に形成することにより、SRAMの製造工程数を低減することが可能となる。すなわち、信頼性の高いSRAMを短期間で製造することが可能となる。

〔0084〕以上、本発明者によってなされた発明を実

施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0085】例えば前記実施例においては、半導体基板に形成された所定の半導体集積回路素子を構成するn形半導体領域を、SRAMを構成する転送用のnチャネルMOSトランジスタの拡散層とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばDRAMのメモリセルを構成するnチャネルMOSトランジスタの拡散層としても良いし、また、抵抗を構成するn形の拡散層でも良い。

【0086】また、前記実施例においては、メモリセルおよび縦形pn+pバイポーラトランジスタを取り囲むn形半導体領域にn形不純物としてリンを導入した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばヒ素やアンチモン等でも良い。

【0087】また、前記実施例においては、メモリセルおよび縦形pn<sub>n</sub>pバイポーラトランジスタを取り囲むn形半導体領域をイオン打ち込み法によって形成した場合について説明したが、これに限定されるものではなく、例えば熱拡散法等を用いても良い。

20

30

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである

【0090】(1). すなわち、請求項1記載の発明によれば、縦形pnpnバイポーラトランジスタを形成したことによる寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制することができる上、何らかの原因で縦形pnpnバイポーラトランジスタ側に流れたサージ電流に対する耐性を向上させることができるので、当該半導体集積回路装置の信頼性を向上させることが可能となる。

【0091】(2).請求項4記載の発明によれば、所定の半導体集積回路素子を構成するn形半導体領域の下層における素子分離用のn形半導体領域を半導体基板に形成する際に、縦形p n pバイポーラトランジスタの下層における素子分離用のn形半導体領域を同時に形成することにより、当該半導体集積回路装置の製造工程数を低減することが可能となる。すなわち、信頼性の高い半導体集積回路装置を短期間で製造することが可能となる。

## 【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の要部回路図である。

【図3】図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図4】図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図5】図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図6】図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【図7】図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

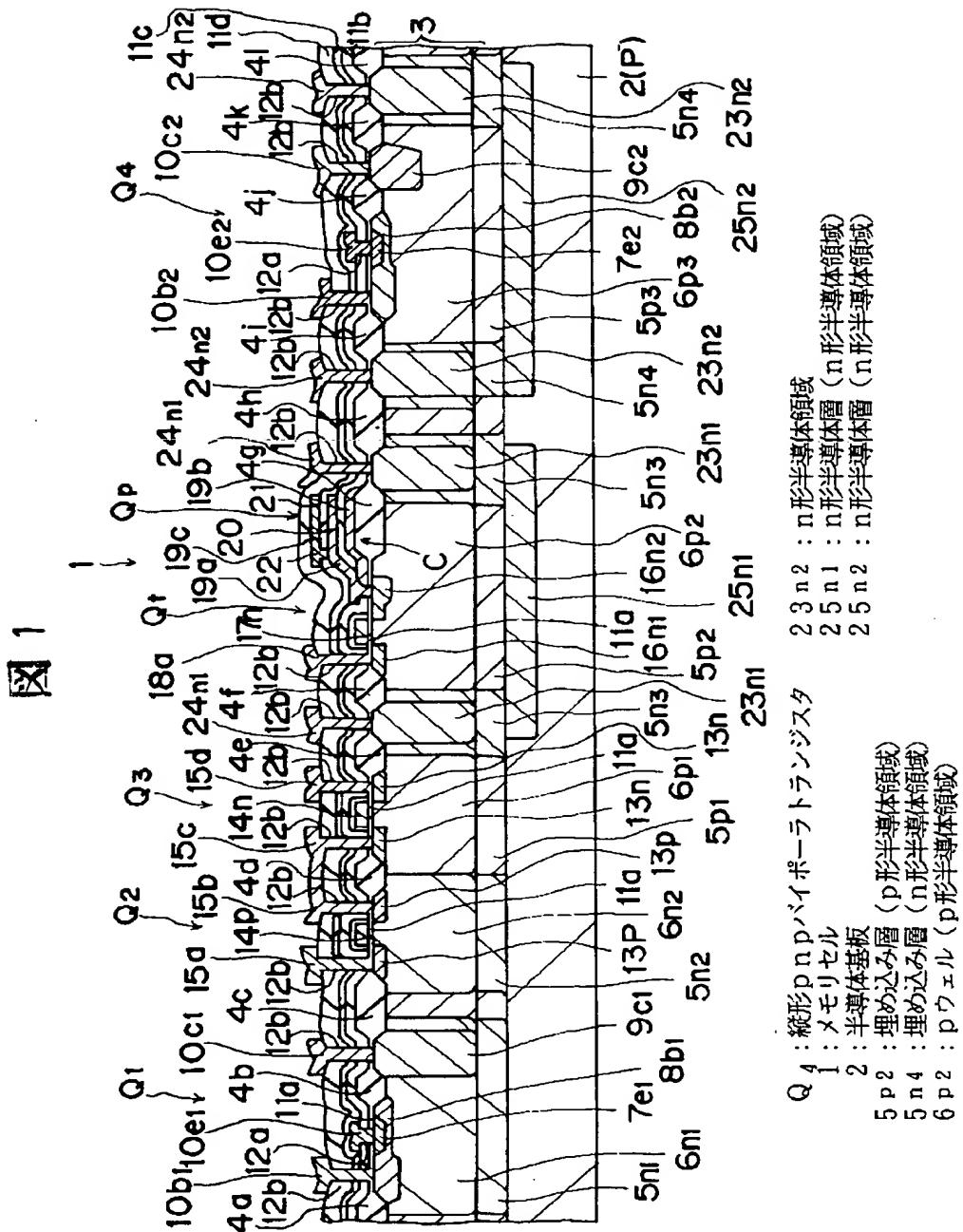
【図8】図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

## 【符号の説明】

- 1 メモリセル
- 2 半導体基板
- 3 エピタキシャル層
- 4 a フィールド絶縁膜
- 4 b フィールド絶縁膜
- 4 c フィールド絶縁膜
- 4 d フィールド絶縁膜
- 4 e フィールド絶縁膜
- 4 f フィールド絶縁膜
- 4 g フィールド絶縁膜
- 4 h フィールド絶縁膜
- 4 i フィールド絶縁膜
- 4 j フィールド絶縁膜
- 4 k フィールド絶縁膜
- 4 l フィールド絶縁膜
- 5 n<sub>1</sub> 埋め込み層
- 5 n<sub>2</sub> 埋め込み層
- 5 n<sub>3</sub> 埋め込み層
- 5 n<sub>4</sub> 埋め込み層 (n形半導体領域)
- 5 p<sub>1</sub> 埋め込み層
- 5 p<sub>2</sub> 埋め込み層 (p形半導体領域)
- 5 p<sub>3</sub> 埋め込み層
- 6 n<sub>1</sub> nウエル
- 6 n<sub>2</sub> nウエル
- 6 p<sub>1</sub> pウエル
- 6 p<sub>2</sub> pウエル (p形半導体領域)
- 6 p<sub>3</sub> pウエル
- 7 e<sub>1</sub> エミッタ領域
- 7 e<sub>2</sub> エミッタ領域
- 8 b<sub>1</sub> ベース領域
- 8 b<sub>2</sub> ベース領域
- 9 c<sub>1</sub> コレクタ引出し領域

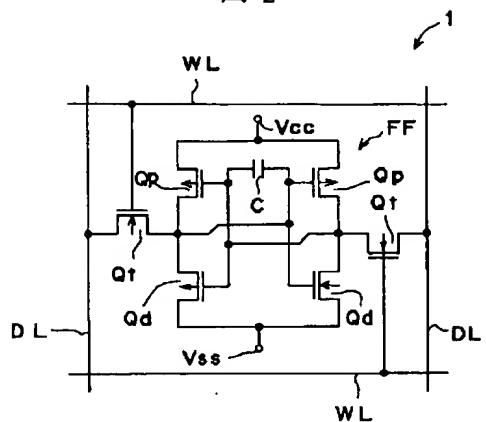
- 9 c<sub>2</sub> コレクタ引出し領域
- 10 e<sub>1</sub> エミッタ電極
- 10 b<sub>1</sub> ベース電極
- 10 c<sub>1</sub> コレクタ電極
- 10 e<sub>2</sub> エミッタ電極
- 10 b<sub>2</sub> ベース電極
- 10 c<sub>2</sub> コレクタ電極
- 11 a 絶縁膜
- 11 b 絶縁膜
- 11 c 絶縁膜
- 11 d 絶縁膜
- 12 a 接続孔
- 12 b 接続孔
- 13 p 拡散層
- 13 n 拡散層
- 14 n ゲート電極
- 14 p ゲート電極
- 15 a 電極
- 15 b 電極
- 20 15 c 電極
- 15 d 電極
- 16 n<sub>1</sub> 拡散層
- 16 n<sub>2</sub> 拡散層
- 17 n ゲート電極
- 18 a 電極
- 19 a 導体膜
- 19 b 導体膜
- 19 c 導体膜
- 20 ゲート電極部
- 30 21 ソース部
- 22 ドレイン部
- 23 n<sub>1</sub> n形半導体領域
- 23 n<sub>2</sub> n形半導体領域
- 24 n<sub>1</sub> 電極
- 24 n<sub>2</sub> 電極
- 25 n<sub>1</sub> n形半導体層 (n形半導体領域)
- 25 n<sub>2</sub> n形半導体層 (n形半導体領域)
- 26 絶縁膜パターン
- 27 絶縁膜
- 40 Q<sub>1</sub> 縱形n p nバイポーラトランジスタ
- Q<sub>2</sub> pチャネルMOSトランジスタ
- Q<sub>3</sub> nチャネルMOSトランジスタ
- Q<sub>4</sub> 縱形p n pバイポーラトランジスタ
- Q<sub>t</sub> nチャネルMOSトランジスタ
- Q<sub>d</sub> nチャネルMOSトランジスタ
- Q<sub>p</sub> pチャネルMOSトランジスタ
- C キャパシタ
- B<sub>1</sub> 縱形p n pバイポーラトランジスタ形成領域
- B<sub>2</sub> 縱形n p nバイポーラトランジスタ形成領域
- 50 M メモリセル形成領域

〔図1〕



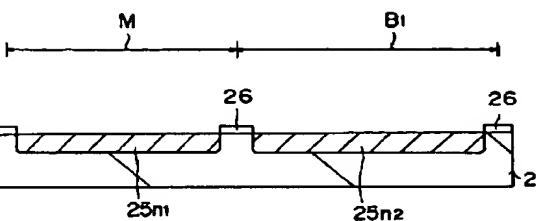
【図2】

図2

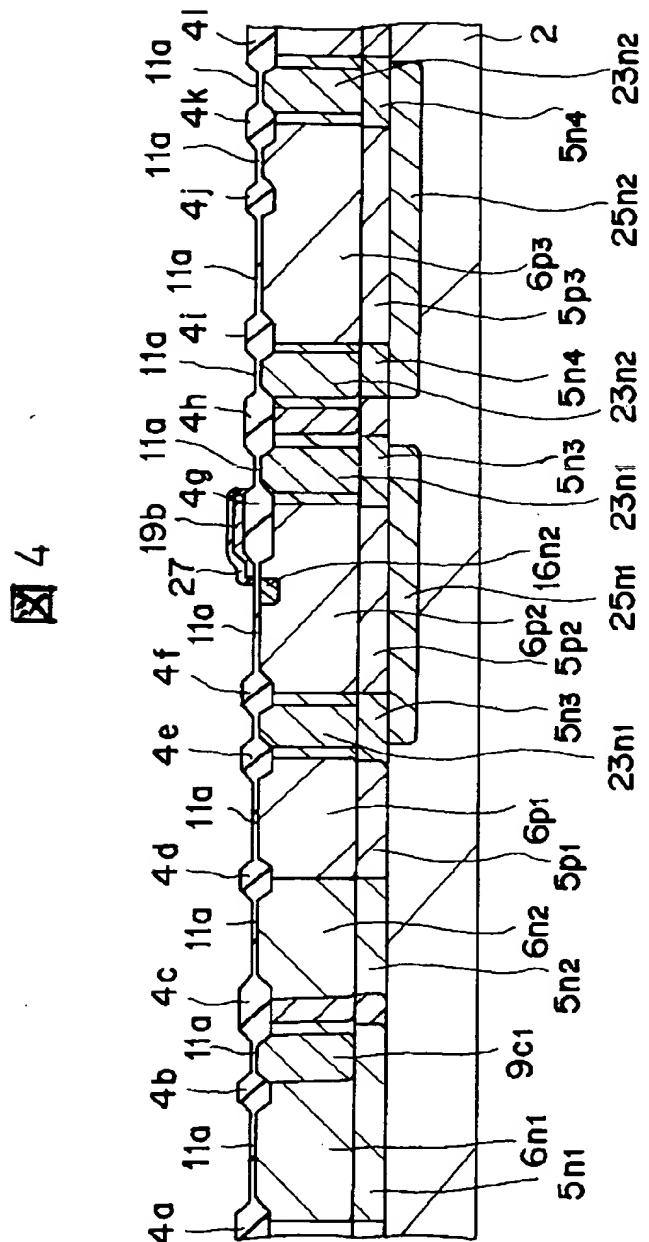


【図3】

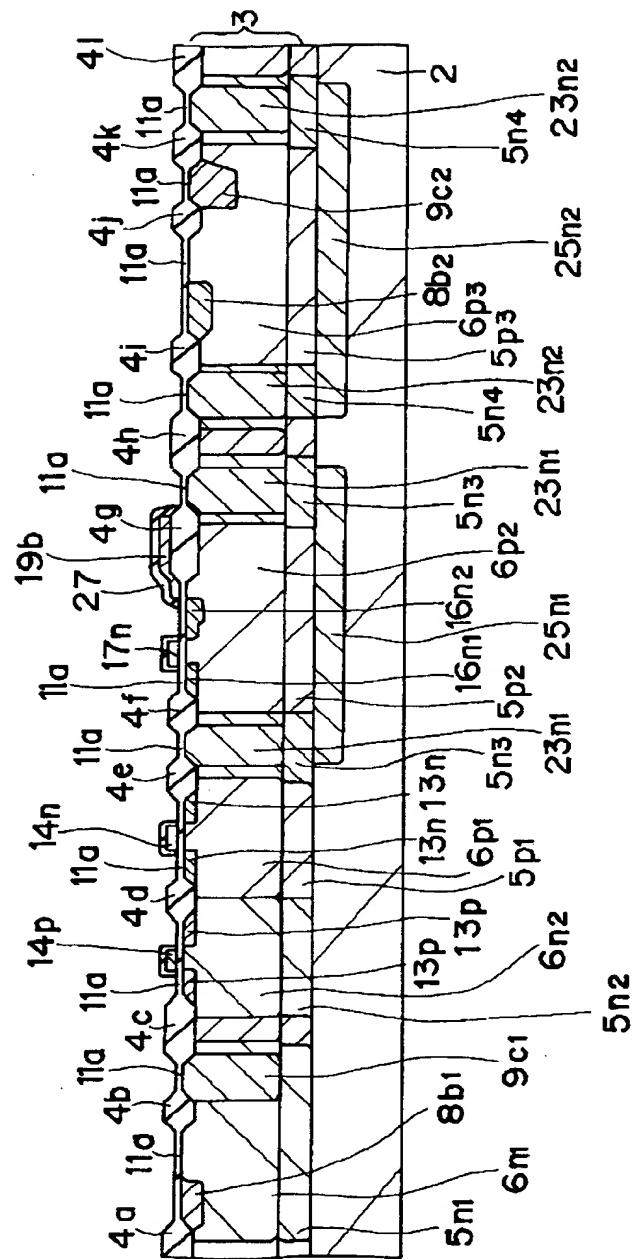
図3



【図4】

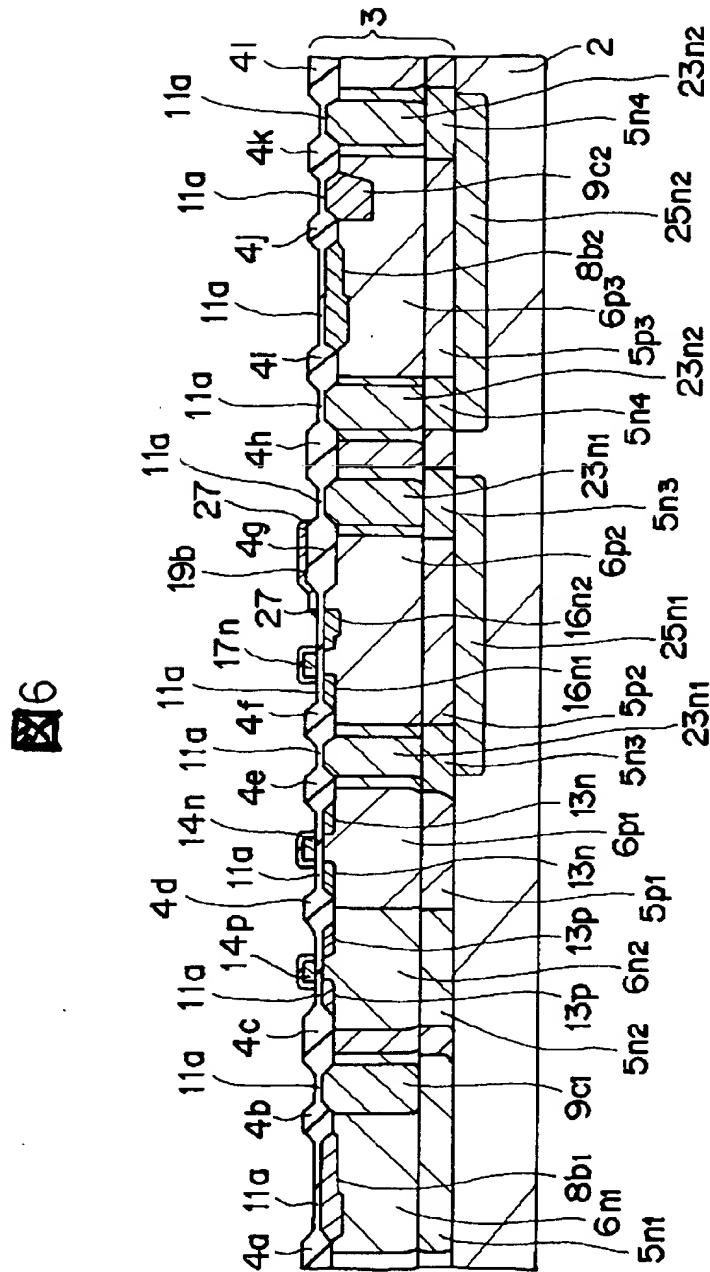


【図5】

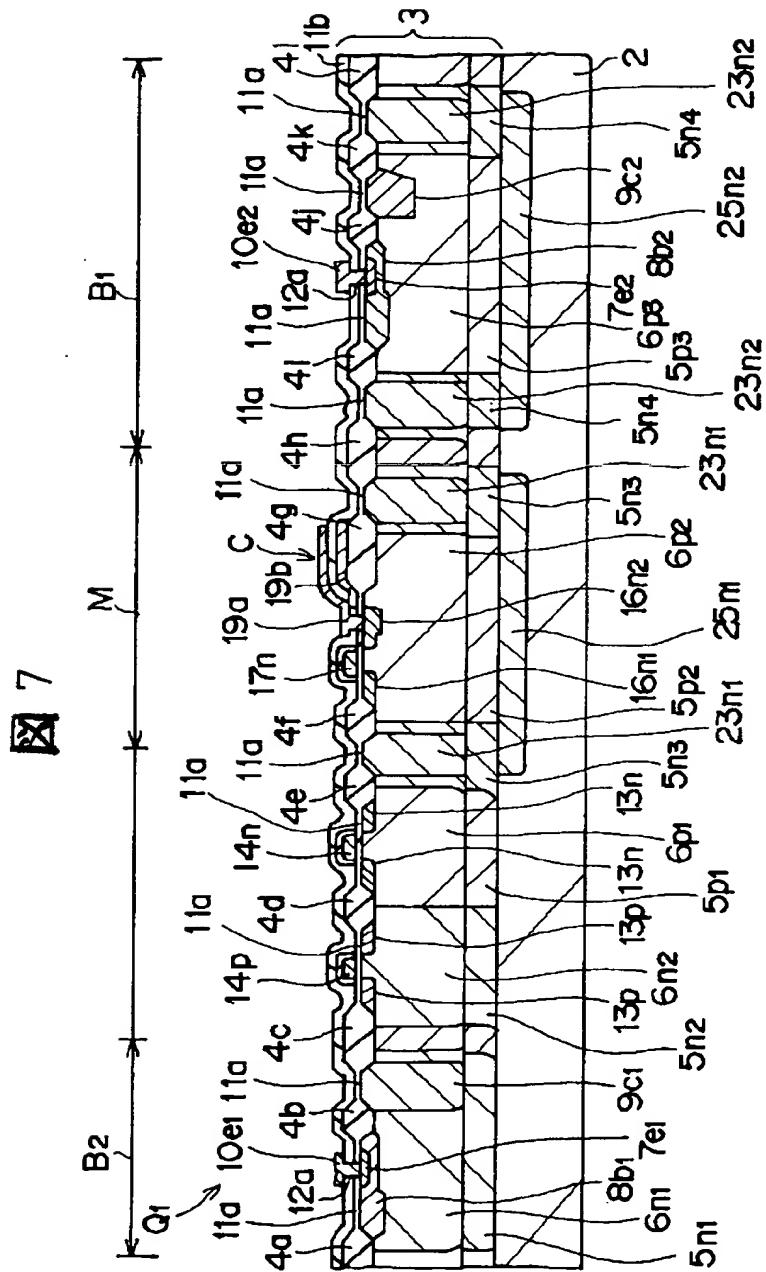


८

【図6】

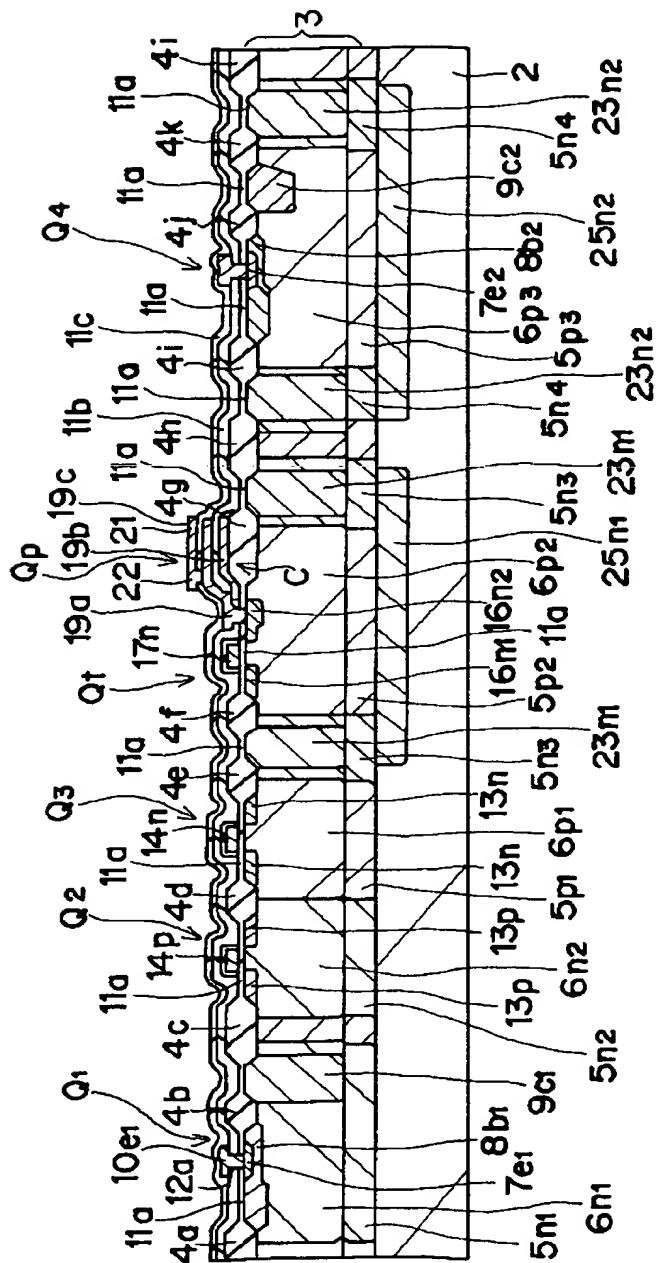


【図7】



【図8】

図8



フロントページの続き

(72)発明者 井澤 龍一

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内

(72)発明者 佐藤 和重

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 吉住 圭一

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内

(72)発明者 高橋 正人

東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内

(72)発明者 橋場 総一郎 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内	(72)発明者 吉田 安子 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内
(72)発明者 鈴木 範夫 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内	(72)発明者 有賀 成一 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 池田 修二 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内	(72)発明者 松木 弘 茨城県日立市弁天町3丁目10番2号 日立原町電子工業株式会社内
(72)発明者 星野 裕 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内	(72)発明者 森 ちえみ 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 神田 隆行 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武藏工場内	(72)発明者 藤田 絵里 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内